

**SPUTTERING METHOD AND DEVICE THEREFOR**

Patent Number: JP9279337  
Publication date: 1997-10-28  
Inventor(s): YONEOKA YUJI; YAJIMA AKIRA; SHIMAMURA HIDEAKI; KISHIMOTO SATOSHI;  
KOBAYASHI HIDE; NISHIHARA SHINJI  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP9279337  
Application Number: JP19960089115 19960411  
Priority Number (s):  
IPC  
Classification: C23C14/34; C23C14/00; H01L21/203; H01L21/285; H05H1/46  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To suppress the occurrence of particles by preventing the rush current by an arc discharge, etc., with a sputtering device.

**SOLUTION:** A vacuum vessel 1 is internally evacuated by an evacuation means 2. Gaseous Ar is introduced through a gas introducing pipe 3 into the vacuum vessel 1 and the pressure therein is maintained under about 5mTorr. Substrates 4 which are the objects to be formed with films are carried by one sheet each into the vacuum vessel 1 by a substrate transporting means and are placed on a substrate holder 5. A target 7 mounted at a sputtering electrode 6 is arranged to face the substrate 4 above the substrate holder 5. When a stationary discharge is formed by operation of a sputtering power source 8 connected to this target 7, the ions emitted from plasma formed in a space between the target 7 enclosed by a shield 14 and the substrate 4 and accelerated toward the target 7 impinges upon the target 7 and splash the material constituting the target 7 at a molecular level, thus forming the thin film on the surface of the substrate 4.

---

Data supplied from the esp@cenet database - I2

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
C 2 3 C	14/34		C 2 3 C	14/34 U
	14/00			14/00 B
H 0 1 L	21/203		H 0 1 L	21/203 S
	21/285			21/285 S
H 0 5 H	1/46		H 0 5 H	1/46 A

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平8-89115

(22) 出願日 平成8年(1996)4月11日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 米岡 雄二

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 矢島 明

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 島村 英昭

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

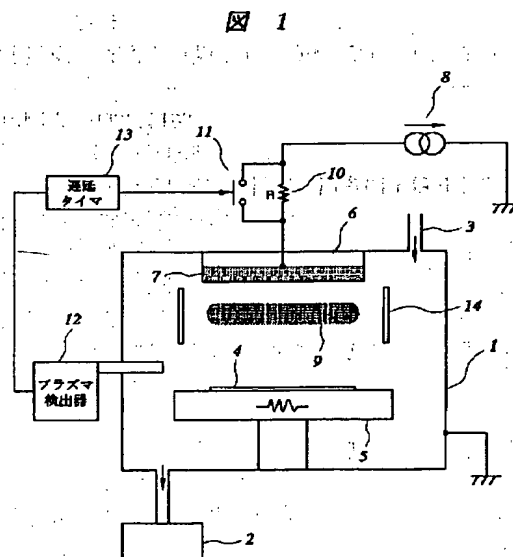
最終頁に続く

## (54) 【発明の名称】 スパッタリング方法および装置

## (57) 【要約】

【課題】 直流スパッタ電源を用いたスパッタリング装置において、プラズマ着火時のアーク放電などによる突入電流の発生を防止し、この突入電流パルスのシールドや基板への衝撃によるパーティクルの発生を抑制する。

【解決手段】 スパッタ電極6とスパッタ電源8との間にインピーダンス（抵抗）10を直列に接続し、プラズマ放電の開始時にターゲット（カソード）7に供給される電流を定常的な成膜時の電流以下に制御することにより、突入電流の発生を防止するようにしたスパッタリング装置である。



6: スパッタ電極  
7: ターゲット (カソード)  
8: スパッタ電源  
10: インピーダンス

1

## 【特許請求の範囲】

【請求項1】 高電圧が印加されたターゲットと基板との間の真空領域にプラズマ放電を形成して前記基板の表面に所望の薄膜を堆積するスパッタリング方法であって、前記プラズマ放電の開始時に前記ターゲットに供給する電流を定常的な成膜時の電流以下に制御することを特徴とするスパッタリング方法。

【請求項2】 請求項1記載のスパッタリング方法であって、前記定常的な成膜時の電流以下にその出力電流を制御された第1電源と、前記定常的な成膜時の電流を出力するように設定された第2電源とを順次切り替える工程を含むことを特徴とするスパッタリング方法。

【請求項3】 成膜対象である基板を収容する真空槽と、成膜材料であるターゲットを装着するスパッタ電極と、前記スパッタ電極を通じて前記ターゲットに負の高電圧を印加する直流スパッタ電源とを備え、前記負の高電圧の印加によって前記真空槽内にプラズマ放電を形成して前記基板の表面に所望の薄膜を堆積するスパッタリング装置であって、前記直流スパッタ電源の出力端とアノードおよびカソードとで形成される閉回路にインピーダンスを接続し、前記プラズマ放電の開始時に前記カソードに供給される電流を定常的な成膜時の電流以下に制御するようにしたことを特徴とするスパッタリング装置。

【請求項4】 請求項3記載のスパッタリング装置であって、前記インピーダンスを前記スパッタ電源と前記ターゲットの間に直列に接続したことを特徴とするスパッタリング装置。

【請求項5】 請求項3または4記載のスパッタリング装置であって、前記インピーダンスにバイパス回路を並列に接続し、前記プラズマ放電の開始を確認した後、前記バイパス回路を通じて前記カソードに定常的な成膜時の電流を供給するようにしたことを特徴とするスパッタリング装置。

【請求項6】 請求項5記載のスパッタリング装置であって、前記プラズマ放電の発光を検知することにより、前記プラズマ放電の開始を確認するようにしたことを特徴とするスパッタリング装置。

【請求項7】 請求項5記載のスパッタリング装置であって、前記直流スパッタ電源の出力端とアノードおよびカソードとで形成される閉回路の電圧変化をモニターすることにより、前記プラズマ放電の開始を確認するようにしたことを特徴とするスパッタリング装置。

【請求項8】 請求項5記載のスパッタリング装置であって、前記直流スパッタ電源の出力端とアノードおよびカソードとで形成される閉回路の電流変動をモニターすることにより、前記プラズマ放電の開始を確認するようにしたことを特徴とするスパッタリング装置。

【請求項9】 成膜対象である基板を収容する真空槽と、成膜材料であるターゲットを装着するスパッタ電極

2

と、前記スパッタ電極を通じて前記ターゲットに負の高電圧を印加する直流スパッタ電源とを備え、前記負の高電圧の印加によって前記真空槽内にプラズマ放電を形成して前記基板の表面に所望の薄膜を形成するスパッタリング装置であって、前記直流スパッタ電源を、定常的な成膜時の電流以下にその出力電流が制御される第1電源と、前記定常的な成膜時の電流を出力するように設定された第2電源とで構成し、前記第1電源と前記第2電源とを順次切り替える切り替え手段を設けたことを特徴とするスパッタリング装置。

【請求項10】 請求項9記載のスパッタリング装置であって、前記切り替え手段は、ダイオードを備えていることを特徴とするスパッタリング装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子デバイスの製造工程において薄膜の形成に使用されるスパッタリング技術に関し、特に、スパッタリング装置の真空槽内で発生するパーティクルの低減に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】スパッタリング装置は、半導体集積回路や薄膜トランジスタ（TFT）などの電子デバイスの製造工程における薄膜形成手段として広く使用されている。

【0003】スパッタリング装置は、一般に適当な真空排気手段を備えた真空槽（スパッタリング室）、真空槽内にプラズマを形成するためのガス導入手段、成膜材料であるターゲット、ターゲットを装着し、適当な磁場を発生させるスパッタ電極、ターゲットに負の高電圧を印加するスパッタ電源、成膜対象である基板（ウエハ）を保持する基板ホルダ、基板を搬送するロボット水平搬送機構などからなり、スパッタ電源としては主に直流マグネトロン方式が採用されている。

【0004】真空槽内でのプラズマ放電は、上記ターゲットに印加した負の高電圧により発生し、維持される。すなわち、真空中に存在する電子が電場および磁場により加速され、高速となった電子は真空槽内に導入されたガスに衝突してガスをイオン化する。その際新たな電子が生じ、その電子もまた電場および磁場により加速されてガスに衝突し、ガスをイオン化する。この繰り返により、ガスのイオン化は、負電極（カソード）、陽電極（アノード）および上記磁場によって制限された空間に雪崩現象的に広がる。

【0005】負にバイアスされたターゲットはカソードとして機能し、電場により移動してターゲットに到着した正イオンに電子を与え、この正イオンを中性分子あるいは原子にする。逆に電子はアノード側に流れ込む。通常、アノードとしては導電性材料によるダークスペースシールドや防着シールドが用いられ、一般には接地した

3

真空槽に電氣的に接続される。

【0006】なお、この種の直流マグネトロン・スパッタリング装置については、株式会社プレスジャーナル、平成7年9月8日発行の「'96 最新半導体プロセス技術」p260～p271などに記載がある。

【0007】

【発明が解決しようとする課題】前述したスパッタリング装置の真空槽内でのプラズマ放電は、カソードやアノードにおいて電荷の授受および流れが理想的にスムーズに行われる場合には、その開始や維持が容易に行われ10る。しかしながら、実際のスパッタリング装置においては、防着シールドなどのアノードとターゲット（カソード）の間隔が場所によって片寄っていたり、ターゲットの表面に電子を容易に放出できるような突起などが存在していたりする場合があるために、放電開始時（以下、着火時という）に大きな突入電流が発生することがある。

【0008】このような突入電流が発生するとシールドや基板が衝撃を受け、その表面に堆積していた膜が剥離してパーティクルとなり、これが基板上に異物として付10着して製造歩留まりの低下を引き起こす。

【0009】上記突入電流の発生原因は種々存在するが、真空槽に導入されたガスや真空槽内の残留ガスによってカソードやアノードのいずれか一方または両方が酸化あるいは窒化されるなどして表面が絶縁物化すると、電極からの電荷の補給が無くなるので、前述したイオン化の雪崩現象が持続せず、電源電圧印加の後、瞬時にはプラズマが発生できないために電極の弱点部分から不所望な突入電流が発生するものと考えられる。

【0010】直流マグネトロンによるスパッタ放電は、30放電インピーダンスが数Ω（オーム）程度と非常に小さいので、通常、放電電力の制御には図8に示すような定電流制御の電源が用いられる。すなわち、真空槽101内のターゲット（カソード）102から流れ出した電流を電流検出器103によりモニタし、定電流制御回路104からの信号によって、商用電力を例えばインバータチョッパ105によりチョッピングを受けた波形を滑らかにする目的で平滑回路108が設けられている。平滑回路には通常何らかの静電容量Cを用いている。

【0011】図9は、プラズマ放電が開始し難い場合、40すなわち電源投入から時間的な遅れによる放電発生時の電流、電圧推移を示したグラフである。定常放電が持続している場合には、電圧は電流値を制御することにより従属的にある値に安定に定まる。しかしながら、電源を投入しても放電が発生し難い、すなわち電源投入から時間的な遅れをもって放電が発生する場合には、電源は設定された電流値にその出力をするために、より高い電圧を発生させる。最終的にはその定電流電源が出力できる最大の電圧（以下、限界電圧と呼ぶ）に達する。そのため、定電流電源の出力端に接続された静電容量Cはこの50

4

限界電圧にまで充電される。そして、放電が開始した際にはこの静電容量Cから瞬時にして放電電流が供給されるため、これは定電流電源が本来持っている定電流に制御する機能とは全く無関係で、全く制御されない電流となる。

【0012】上記したように、時間的な遅れをもって放電が開始する場合には、放電が起こる条件が整うまでの時間が必要であることを意味しており、また放電が開始した瞬間においては、放電の開始条件を満たす場所はターゲットの面積全体ではなく、そのときに条件が揃った場所であり、そのために放電を開始した瞬間の放電電流は1点に集中する。そのため、放電される電荷量は小さいものの、その場所での電流密度は定常的な放電電流密度よりも非常に大きな値になる。また、この電流密度は上記したように、定電流電源に設定した電流値とは全く無関係である。本発明者が観測した例では、放電開始時の瞬時電流値は50～60アンペアにも達した。放電開始領域が小さいことを考え合わせると、放電開始時には、放電開始点を溶融させるに十分な値であると考えられる。

【0013】通常、スパッタ電源には、上記のような突入電流が電源自身の中を流れて回路を破壊しないように、保護回路が設けられている。この保護回路は、アーク放電を検知した後、図8に示す電流遮断制御回路106からの信号によって遮断スイッチ107をOFFとし、一時的に印加電圧を落としてターゲット102に電力を投入しないように作動する。

【0014】突入電流は、平滑回路108中の静電容量Cに蓄えられた電荷が上記ターゲット102への電圧印加時に急激に放電を開始することによって発生する。図9に示すように、この突入電流の発生と同時に電圧が低下し、所定時間の経過後に再び電流が上記遮断スイッチ107をONとし、電圧を上昇させる。この電圧無印加時間が保護回路の作動している時間である。電流遮断制御回路106が動作することにより静電容量C以上には過度の電荷を流出させることはなくなるが、図9に示す電荷の時間微分である突入電流をくい止めることはできない。

【0015】また、上記電流遮断制御回路106が動作している間は電源がOFFの状態と等価であるため、当然放電は発生しない。従って、このプラズマ着火時の突入電流は繰り返し発生することもあり、極端な場合には設定した成膜時間内にプラズマが発生し得ないこともある。何れにしても、現状では上記突入電流を抑止できるスパッタ電源は存在しない。

【0016】このように、従来の直流スパッタ電源を用いたスパッタリング装置を使ったスパッタ成膜においては、パーティクルの発生原因の一つであるプラズマ着火時のアーク放電などによる突入電流の発生を抑止するには限界がある。すなわち、従来の電流遮断制御回路では

5

この突入電流パルスのシールドや基板への衝撃によるパーティクルの発生を十全に低減することはできない。

【0017】また、プラズマ着火時の突入電流に対して電源内部の保護機能が働き、一時的にターゲットへの投入電力を遮断してしまうので、プラズマが容易に発生せず、実際の定常放電時間が短くなる場合があり、設定時間内に所定の膜厚に成膜できない場合もある。

【0018】本発明の目的は、直流スパッタ電源を用いたスパッタリング装置において、プラズマ着火時のアーク放電などによる突入電流の発生を抑制することのできる技術を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】(1) 本発明のスパッタリング方法は、高電圧が印加されたターゲットと基板との間の真空領域にプラズマ放電を形成して前記基板の表面に所望の薄膜を堆積するスパッタリング方法において、前記プラズマ放電の開始時に前記ターゲットに供給する電流を定常的な成膜時の電流以下に制御するものである。

【0022】(2) 本発明のスパッタリング装置は、成膜対象である基板を収容する真空槽と、成膜材料であるターゲットを装着するスパッタ電極と、前記スパッタ電極を通じて前記ターゲットに負の高電圧を印加する直流スパッタ電源とを備え、前記負の高電圧の印加によって前記真空槽内にプラズマ放電を形成して前記基板の表面に所望の薄膜を堆積するスパッタリング装置において、前記直流スパッタ電源の出力端とアノードおよびカソードとで形成される閉回路の一部にインピーダンスを接続し、前記プラズマ放電の開始時に前記カソードに供給される電流を定常的な成膜時の電流以下に制御できるようにしたものである。

【0023】(3) 本発明のスパッタリング装置は、成膜対象である基板を収容する真空槽と、成膜材料であるターゲットを装着するスパッタ電極と、前記スパッタ電極を通じて前記ターゲットに負の高電圧を印加する直流スパッタ電源とを備え、前記負の高電圧の印加によって前記真空槽内にプラズマ放電を形成して前記基板の表面に所望の薄膜を形成するスパッタリング装置であって、前記直流電源を、定常的な成膜時の電流以下にその出力電流が制御される第1電源と、前記定常的な成膜時の電流を出力するように設定された第2電源とで構成し、前記第1電源と前記第2電源とを順次切り替える切り替え手段を設けることにより、プラズマ放電をスムーズに制御できるようにしたものである。

【0024】

6

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳述する。

【0025】図1は、本実施の形態のスパッタリング装置の要部構成図である。このスパッタリング装置の真空槽1は、クライオポンプなどの真空排気手段2によってその内部が真空排気されるようになっている。成膜時には、ガス導入管3を通じて真空槽1にArガスが導入され、内部の圧力が5mTorr程度に維持される。

【0026】成膜対象である基板(半導体ウエハ)4は、ロボットアームなどの基板搬送手段(図示せず)によって一枚ずつ真空槽1に搬入され、基板ホルダ5の上に載置される。基板ホルダ5の上方には、スパッタ電極6に取り付けられたターゲット7が基板4に対向して配置されており、このターゲット7に接続された直流マグネトロン方式のスパッタ電源8が動作して定常放電が形成されると、シールド14で囲まれたターゲット7と基板4との間の空間にプラズマ9が形成される。そして、このプラズマ9から発し、ターゲット7に向かって加速されたイオンがターゲット7を衝撃し、ターゲット7を構成している材料を分子(原子)レベルで飛散させることにより、基板4の表面に薄膜が形成される。

【0027】本実施の形態のスパッタリング装置の一つの特徴は、上記スパッタ電極6とスパッタ電源8との間にインピーダンス(抵抗)10を直列に接続したことにある。スパッタ電極6とスパッタ電源8との間には、このインピーダンス10を短絡させるためのバイパススイッチ11がインピーダンス10と並列に接続されている。また、真空槽1の内部が観察できる窓には、プラズマ放電が発生した際に発光の検知を行うプラズマ検出器12が設置されている。このプラズマ検出器12には、プラズマ放電の発光を検知する光電素子が内蔵されている。

【0028】スパッタ電極6に直列に接続された上記インピーダンス10によって、プラズマ着火時に発生する突入電流を所定の値以下に低減する方法を説明する。

【0029】着火時の突入電流はできるだけ小さいことが望ましい。定常的な放電状態では、突入電流を制限するインピーダンスは短絡されるために、この着火時の電流は独立に定めることができる。

【0030】しかしながら、突入電流を余りに小さく制限すると、放電が起こった直後に起こる電圧降下が顕著となり、折角発生した放電を局部的にも維持できなくなる虞がある。実際には、安定に放電を開始できる最高の抵抗値を実験により選定する必要がある。

【0031】例えば定常放電時に直径十数インチ(inch)のターゲット7に対して数〜数10Aのスパッタ電流を流してスパッタするとする。最大0.5Aだけ流れるようにインピーダンス10を設定した場合、このインピーダンス10を接続したままの状態では当然のことながら定常放電時には最大0.5Aのスパッタ電流しかターゲット

7

7に供給されないので、生産性が極めて悪くなる。

【0032】そこで、例えば真空槽1の内部を観察できる窓に設置された前記プラズマ検出器12によりプラズマ放電の開始を確認した後、遅延タイマ13を使って定常放電が充分安定に持続できるまでの間遅延させ、その後バイパススイッチ11をOFFとし、インピーダンス10を短絡する。これにより、定常的な成膜中にインピーダンス10が存在することによって生じる最大放電電流の制限機能を無くすることができ、定常放電時は通常のスパッタ電源と等価な動作を行うことが可能となる。基板4への成膜が終了した時はバイパススイッチ11を再びONとし、次の基板4への成膜時まで待機させる。

【0033】一方、スパッタ電源8を動作させても定常放電が発生しない場合、スパッタ電源8の帰還回路は電流を設定値にまで上昇させようとして電圧を増加させる。最終的に安定放電が発生しない時は、アノード、カソード間にスパッタ電源8の限界電圧までの電圧が印加されることとなる。その最大電圧を例えば1000Vとすると、アノード、カソード間には最大1000Vの高電圧が印加される。従って、この印加電圧下で回路に流れる電流値を0.5Aとするためには、オームの法則から単純にインピーダンス10を2k $\Omega$ とすればよい。本実施の形態では、例えば直流抵抗値500 $\Omega$ 、耐圧500Vのホールー抵抗を4本直列に接続し、全体として抵抗値2k $\Omega$ 、耐圧2kVのインピーダンス10とした。

【0034】図2は、上記インピーダンス10を設置した時の電流、電圧推移を示したグラフである。着火時の電流は最大0.5A、パルス幅0.5マイクロ秒と突入電流の値が低減され、小さく緩やかなパルス電流に抑えられている。これにより、電源保護のために従来の電源自身が持つ電力投入遮断機構が作動することはないので、上記パルス電流の発生の後、電流が途絶えること無く連続して定常的な放電へスムーズに移行することができた。

【0035】前記のように、突入電流のパルス幅は高々100マイクロ秒以下であるので、インピーダンス10を短絡させるのは、突入電流のパルス発生後1ミリ秒後程度に制御すれば十分である。また一方で、放電が開始してから定電流電源はややゆっくりと放電電流を設定値までに上昇する。このような動作をランプアップと呼んでいるが、定電流回路の応答速度によって定まる。またさらに、このランプアップを故意に緩慢に行い、放電が発生した際にターゲットに急激な熱的衝撃が加わらないようにすることも行われている。繰り返しになるが、このようなランプアップの動作時間の領域は前述したようにミリ秒以上であり、本発明が目的としているマイクロ秒オーダの放電開始に伴う電流の制御とは無関係である。

【0036】いずれにしても、ランプアップによって放電電流が設定値に達するまでの時間の中で、放電電流が

8

未だ設定値に比べて小さい間にバイパススイッチ11をOFFとして、定常放電での電流を効率良く流せる通常の状態に遷移させる必要がある。具体的には、バイパススイッチ11をOFFとする時間は、放電が開始してから1ミリ秒から数十ミリ秒程度である。

【0037】バイパススイッチ11には定常放電で設定されている電流値（具体的には数アンペア～数十アンペア）を連続して流すことができ、かつ高電圧を扱えるものを選択する必要がある。半導体素子による電子的なスイッチでもこの機能を実現することは比較的容易であるが、発明者らは、高速な動作が必要ないことから、一般に市販されている高電圧の真空リレーを使用した。このようなリレーは、駆動コイルに電圧が印加されてからスイッチが動作する（接点が閉じる）までに10ミリ秒程度が必要であることを考慮し、パルス発生からインピーダンス回路を短絡するまでの遅延時間を10ミリ秒に設定した。また、スパッタ成膜時間は40秒、スパッタパワーは8kWに設定した。その際の定常放電の電流値は13A、電圧値は620Vであった。

【0038】成膜処理が終了し、十分に定常放電が停止した後、再びバイパススイッチ11をONとし、インピーダンス回路を直列に接続した状態で次のスパッタ成膜まで待機させた。

【0039】図3は、成膜後の基板4の表面に付着した異物数の推移を本実施の形態のスパッタリング装置を使用した場合（×印）と、プラズマ着火時の電流を低減する機構を備えていないスパッタリング装置を使用した場合（○印）とで比較した結果を示すグラフである。

【0040】図示のように、本実施の形態のスパッタリング装置を使用した場合は、着火時に発生する突入電流が低減できたために、シールド14や基板4などへの突入電流の衝撃が緩和され、これによりシールド14などに堆積した不要な堆積膜の剥離によるパーティクルの発生が抑制された結果、基板4の表面に付着する異物数を1/5以下と大幅に低減することができた。

【0041】インピーダンス10を設ける場所は、前述したスパッタ電源8とターゲット7の間に限られるものではなく、例えば図4、図5または図6に示すように、スパッタ電源8の出力端とアノード（真空槽1またはシールド14）およびカソード（ターゲット7）とで形成される閉回路の任意の箇所に設けることができる。

【0042】図4に示す実施の形態は、インピーダンス10をシールド11と真空槽1の間に設けている。図5に示す実施の形態は、真空槽1とアース接地間にインピーダンス10を設けている。但しこの場合は着火の際に限界電圧が真空槽1全体に発生するため、安全を確保する対策が必要となる。図6に示す実施の形態は、インピーダンス10をスパッタ電源8とアース接地間に設けているが、この場合は着火時の限界電圧がインピーダンス10に発生するため、スパッタ電源8をアース接地に対

し、瞬間的にはあるがフローティングする必要がある。

【0043】なお、放電が開始したことを確認するには前述したように、放電光を検出する他に、制限された突入電流の流れ始めを微分回路によって強調して検出することも可能である。また、インピーダンス10の両端の電圧は、電流が制限されていても大きく変化するため検出は容易である。ただし、インピーダンスを本実施例のように複数の抵抗器を分割して、その一部の電圧を検出するので十分である。しかし、このインピーダンスは高10電圧に浮いているので、検出回路からの出力はフォトカップラーなどで絶縁する必要がある。

【0044】本発明の別の実施の形態を図7に示す。放電を発生しないと、両方の定電流電源109、110はその電源スイングまでの大きな電圧を出力する。高い出力電圧によって放電が開始すると出力端子電圧が低下し、定電流電源1(109)からの電源供給が停止するため、定電流電源2(110)からの大電流の供給が始まる。この回路構成によれば、特に電流制限用のインピーダンス10、すなわち抵抗器を短絡することなく、ス20ムーズな放電の立ち上がりを実現することできる。

【0045】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0046】前記実施の形態では、プラズマ放電の開始を確認する手段として、光電素子を内蔵したプラズマ検出器を用いたが、スパッタ電源の出力端とアノードおよびカソードとで形成される閉回路の電圧変化あるいはスパッタ電流の変動を電流プローブなどを使ってモニタす30ることによってプラズマ放電の開始を確認することもできる。また、定常放電であることを確認する場合には、放電電流と電圧のモニタ値より放電インピーダンスを計算し(あるいは放電電流と電圧の積により電圧を計算し)、その値が予め調査しておいた定常状態時の値と一致するか否かを判定する方法を用いてもよい。

#### 【0047】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。40

【0048】本発明のスパッタリング装置によれば、プラズマ着火時に発生する突入電流パルスを抑制することができるので、この突入電流による真空槽内のシールドや基板などへの衝撃を緩和することができる。これにより、突入電流の衝撃によるパーティクルの発生を抑制することができるので、成膜対象である基板の表面に付着する異物の数を減らすことができ、LSIなどの電子デ

バイスの製造歩留まりを向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態であるスパッタリング装置の要部構成図である。

【図2】本発明の一実施の形態であるスパッタリング装置におけるプラズマ放電の電流、電圧推移を示すグラフである。

【図3】成膜後の基板(ウエハ)の表面に付着した異物数の推移を示すグラフである。

【図4】本発明の他の実施の形態であるスパッタリング装置の要部構成図である。

【図5】本発明の他の実施の形態であるスパッタリング装置の要部構成図である。

【図6】本発明の他の実施の形態であるスパッタリング装置の要部構成図である。

【図7】本発明の他の実施の形態であるスパッタリング装置の要部構成図である。

【図8】定電流制御電源の構成の一例を示す回路図である。

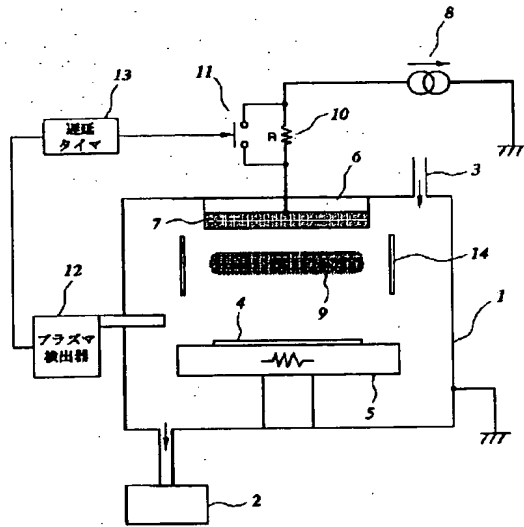
【図9】異常放電時の電流、電圧推移を示すグラフである。

#### 【符号の説明】

- 1 真空槽
- 2 真空排気手段
- 3 ガス導入管
- 4 基板(半導体ウエハ)
- 5 基板ホルダ
- 6 スパッタ電極
- 7 ターゲット
- 8 スパッタ電源
- 9 プラズマ
- 10 インピーダンス(抵抗)
- 11 バイパススイッチ
- 12 プラズマ検出器
- 13 遅延タイマ
- 14 シールド
- 101 真空槽
- 102 ターゲット(カソード)
- 103 電流検出器
- 104 定電流制御回路
- 105 インバータチョッパ
- 106 電流遮断制御回路
- 107 遮断スイッチ
- 108 平滑回路
- 109 定電流電源1
- 110 定電流電源2

【図 1】

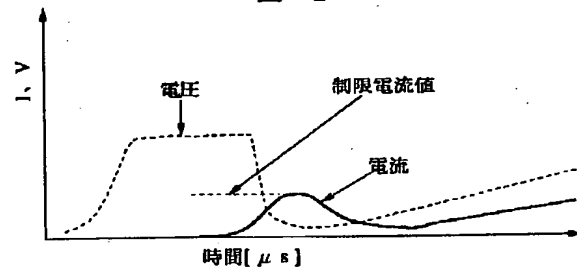
図 1



- 6: スパッタ電極  
7: ターゲット (カソード)  
8: スパッタ電源  
10: インピーダンス

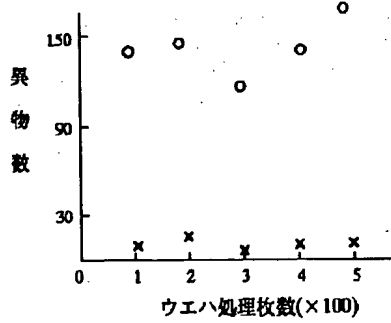
【図 2】

図 2



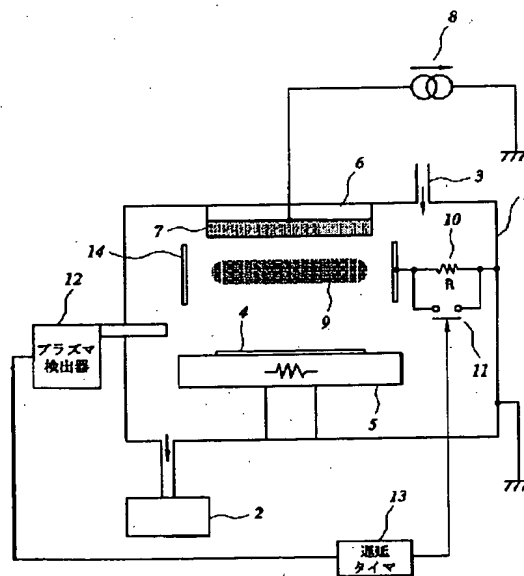
【図 3】

図 3



【図 4】

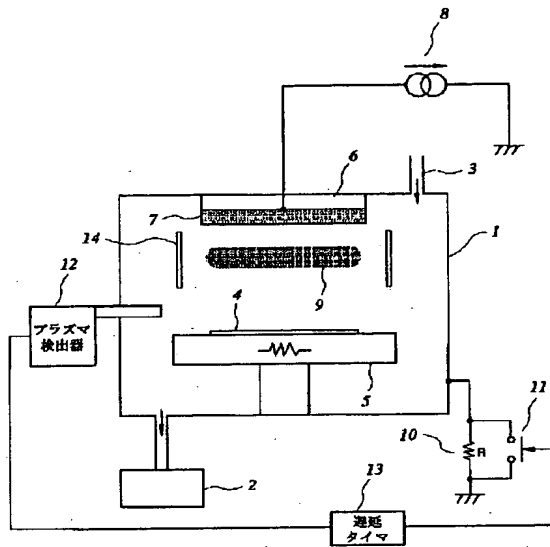
図 4





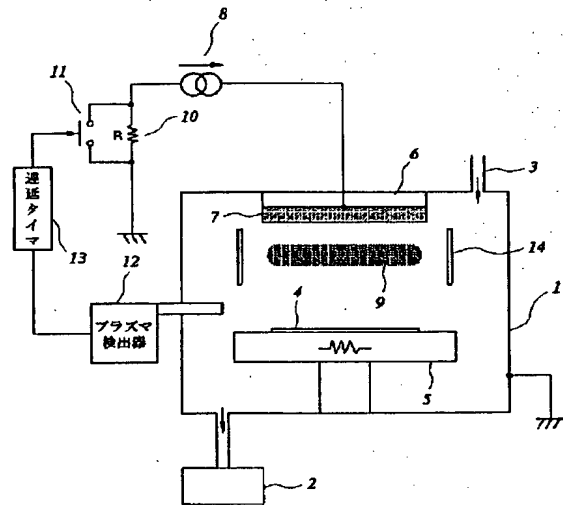
【図 5】

图 5



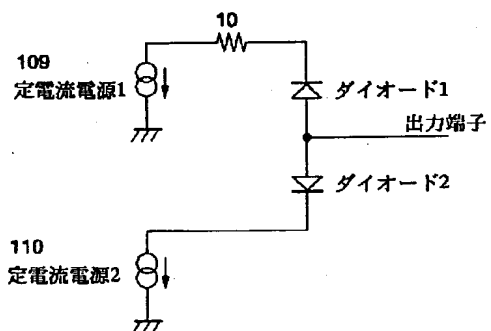
【図 6】

图 6



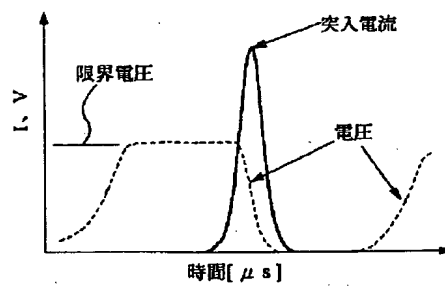
【図 7】

图 7



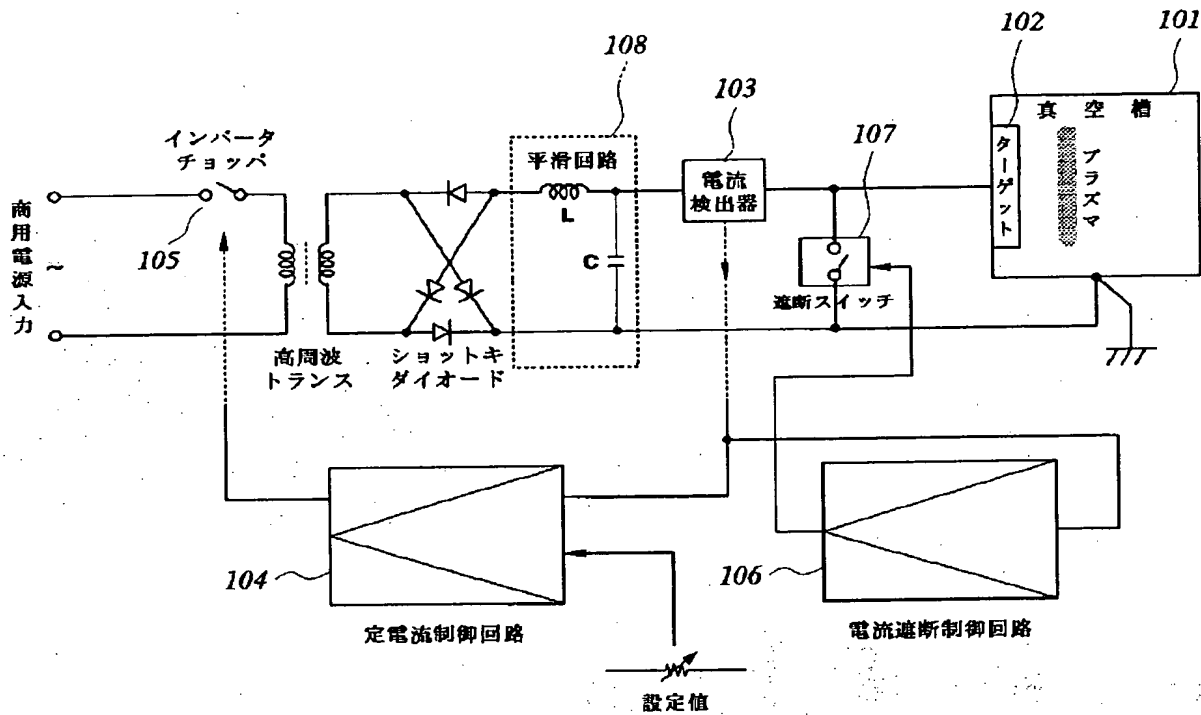
【图 9】

图 9



【図8】

図 8



フロントページの続き

(72) 発明者 岸本 里志  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所半導体事業部内

(72) 発明者 小林 秀  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所半導体事業部内

(72) 発明者 西原 晋治  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所半導体事業部内